

Dieser Kurs vermittelt den Umgang mit dem **ModelSim** Simulator. Die Teilnehmer erlernen die Simulation eines Design in einer der Hardwarebeschreibungssprachen VHDL oder Verilog. Außerdem wird auf die Vorbereitung und die Simulation eines Design eingegangen, welches in beiden Beschreibungssprachen vorliegt.

## Inhalt

- Einführung in den ModelSim Simulator
- Kompilieren von VHDL und Verilog Beschreibungen
- Effiziente Nutzung der graphischen Oberfläche
- Erstellen von Projekten
- Einbinden von Libraries
- Simulation von mixed VHDL/Verilog Designs
- Erstellen und Ausführen von Scripten zur Automatisierung
- Introduction to ModelSim, ModelSim User Interface, Projects and Libs, Mixed-HDL Simulation, Model Interfaces, Performance Analyzer & Code Coverage, Tcl & Tk, Standard Delay Format

## Teilnehmer

- Hardware-Entwickler, die VHDL/Verilog Designs simulieren möchten.

## Voraussetzungen

- Englisch-Kenntnisse
- VHDL oder Verilog Kenntnisse