

Das Tool **HDL Designer** ermöglicht dem Anwender ein digitales Design graphisch zu erfassen und aus dieser Graphik den entsprechenden VHDL oder Verilog Code automatisch zu generieren. Desweiteren verfügt **HDL Designer** über Designmanagement Funktionalitäten, die es dem Anwender ermöglichen aus **HDL Designer** den kompletten HDL Design Flow bis hin zum Place & Route zu verwalten. Der Teilnehmer erlernt sämtliche Möglichkeiten der graphischen Eingabe. Die Übungen führen von der Eingabe über die HDL Generierung und Kompilation bis zur Simulation, Synthese, Place & Route und der abschliessenden Gatelevel Simulation. In einer weiteren Übung wird die Animation von Zustandsmaschinen und Flußdiagrammen gezeigt.

## Inhalt

- Verwalten des kompletten HDL Design Flow mit dem Tool HDL Designer
- Erstellen von Block Diagrammen, Wahrheitstabellen und Flußdiagrammen
- Eingabe von Zustandsmaschinen und Erklärung der verschiedenen Formate
- Generieren und Kompilieren von VHDL/Verilog Code
- Einsatz von Versionskontrollmechanismen
- Einsatzmöglichkeiten und graphische Beschreibung von Testbenches
- Verifizieren des Codes mittels einer Testbench
- Verwendung von IEEE-, Design- und Herstellerbibliotheken
- Einlesen von bestehenden HDL Designs
- Design Flow Using HDL Designer, Block Diagrams, State Machines, Truth Tables, Editing Symbols/ Interfaces, Flow Charts, Test Bench – Debug, Version Management, HDL Import, Advanced Features

## Teilnehmer

- Hardware-Entwickler, die ein Design graphisch beschreiben und daraus VHDL/Verilog Code generieren möchten.

## Voraussetzungen

- Englisch Kenntnisse
- Windows-Grundkenntnisse
- VHDL oder Verilog Grundkenntnisse