

Dieses **FPGA Advantage** Training vermittelt den Teilnehmern (mit Grundkenntnissen der Sprache VHDL) den kompletten VHDL Design Flow bis zur Datenübergabe an ein Programmiergerät. Der Kurs beinhaltet alle Schritte von der konzeptionellen Erstellung, über Simulation und Synthese bis zum fertigen FPGA Layout.

Inhalt

- Einführung in die graphischen und textbasierenden Entwicklungswerkzeuge der HDL Designer Series Tools
- Erstellung eines VHDL Designs inklusive der Testbench
- Design Flow und Datenmanagement mit graphischer Unterstützung durch die Tools der HDL Designer Series Produkte
- Simulation des Designs mit ModelSim
- Umsetzen des Designs in Hardware mit Leonardo
- FPGA Place and Route mit Tools von Xilinx und Altera
- Gatelevel Simulation
- Einsatz und Anwendung von herstellereigenen Makrogeneratoren
- **FPGA Advantage** Basics: Block Diagram Basics, HDL Designer Interactive Testing Basics, Synthesis Basics, Advanced State Machines, Preparing for Testing, Advanced Troubleshooting, Completing the BCD Register, Using Flow Tabs in Synthesis, Top-Down Design, Advanced Synthesis, Timing Analysis, Appendix A-E

Teilnehmer

- Hardware-Entwickler, die VHDL Designs effizient erstellen und in einem FPGA realisieren möchten.

Voraussetzungen

- Englisch-Kenntnisse
- VHDL Kenntnisse