

Expert VHDL ist ein 5-tägiger weiterführender Intensivkurs, der in zwei Kursmodule untergliedert ist:

§ Expert VHDL Design (2 Tage)

Für Designingenieure, die ihre Kenntnisse in RTL und Verhaltenssynthese mit VHDL vertiefen sowie ihren VHDL-Codierungsstil in Hinblick auf Design-Wiederverwendbarkeit verbessern möchten.



§ Expert VHDL Verification (3 Tage)

Für Designingenieure und Verifikationsingenieure, die zur Funktionsverifikation Testbenches in VHDL entwickeln oder Verhaltensmodelle schreiben.

Die Module können als Komplettkurs oder einzeln besucht werden. Sie bauen auf dem Doulos Industriestandard-Kurs „Comprehensive VHDL“ auf.

Ziel des Kurses ist, die Produktivität von Ingenieuren durch Ausbau ihrer VHDL-Codierungs- und -anwendungsfähigkeiten zu steigern. Dies erfolgt im Kontext der neuesten VHDL-Designtools, -verfahren und -methoden.

Inhalt

Vermittelt werden eine Reihe von Funktionen der Sprache VHDL, die über das Erlernete in einem Grundlagenkurs hinausgehen. Dies erfolgt im Kontext der neuesten VHDL-Designtools, -verfahren und -methoden.

- Tieferes Verständnis der Sprache VHDL und ihrer Anwendungsweise zur mühelosen Fehlerbehebung bei VHDL-Simulations- und -Syntheseproblemen
- Grundsätze und Details für Ansätze bei der Designverifikation mit VHDL
- Strukturieren und Schreiben umfangreicher und komplexer VHDL-Testbenches
- Grundsätze und Details zum Schreiben von Verhaltensmodellen für Hardwarekomponenten in VHDL
- Produktion kleinerer und schnellerer Hardwaredesigns bei Einsatz von VHDL mit RTL-Synthesetools
- Fundierte Einführung in das Thema der Verhaltenssynthese mit VHDL, so dass Sie Anwendbarkeit und Effektivität der Verhaltenssynthese in Ihrem Designkontext beurteilen können
- Details eines VHDL-Codierungsstils zur Wiederverwendbarkeit von Code sowie „Verpackung“ der Intellectual Property (IP) zur Wiederverwendbarkeit

Teilnehmer

Expert VHDL Design

Ist ausgelegt für Designingenieure, die ihre Kenntnisse in RTL und Verhaltenssynthese mit

VHDL vertiefen sowie ihren VHDL-Codierungsstil in Hinblick auf Design-Wiederverwendbarkeit verbessern möchten.

Expert VHDL Verification

Ist ausgelegt für Designingenieure sowie Verifikationsingenieure, die zur Funktionsverifikation Testbenches in VHDL entwickeln oder Verhaltensmodelle schreiben.

Voraussetzungen

Expert VHDL Design:

- § Grundkenntnisse der Sprache VHDL
- § Erfahrung in RTL-Codierung und -Synthese mit VHDL
- § Wünschenswert wäre eine Teilnahme am Kurs **Comprehensive VHDL**

Expert VHDL Verification:

- § Grundkenntnisse der Sprache VHDL
- § Wünschenswert wäre eine Teilnahme am Kurs **Comprehensive VHDL**